

22 SEP 2004

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 10 月 2 日 (02.10.2003)

PCT

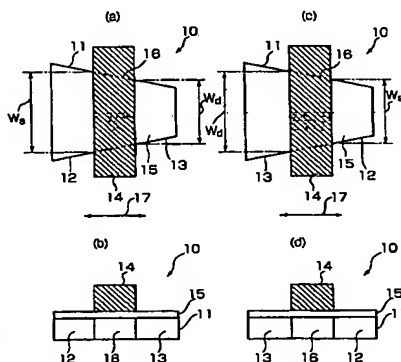
(10) 国際公開番号
WO 03/081676 A1

- (51) 国際特許分類⁷: H01L 29/786, 21/336 (72) 発明者; および
(21) 国際出願番号: PCT/JP03/02511 (75) 発明者/出願人 (米国についてのみ): 平松 雅人 (HIRAMATSU, Masato) [JP/JP]; 〒125-0062 東京都葛飾区青戸 8-2 6-6-3 1 0 Tokyo (JP). 松村 正清 (MATSUMURA, Masakiyo) [JP/JP]; 〒248-0007 神奈川県鎌倉市大町 2 丁目 8 番 1 0-1 0 1 Kanagawa (JP). 西谷 幹彦 (NISHITANI, Mikihiko) [JP/JP]; 〒631-0026 奈良県奈良市学園緑ヶ丘 2-1 6-5 Nara (JP). 木村 嘉伸 (KIMURA, Yoshinobu) [JP/JP]; 〒114-0032 東京都北区中十条 1-1 8-2 1 Tokyo (JP). 山元 良高 (YAMAMOTO, Yoshitaka) [JP/JP]; 〒639-1056 奈良県大和郡山市泉原町 1 7-7 Nara (JP).
(22) 国際出願日: 2003 年 3 月 4 日 (04.03.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-82451 2002 年 3 月 25 日 (25.03.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社液晶先端技術開発センター (KABUSHIKI KAISHA EKISHO SENTAN GIJUTSU KAIHATSU CENTER) [JP/JP]; 〒244-0817 神奈川県横浜市戸塚区吉田町 2 9 2 番地 Kanagawa (JP).
(74) 代理人: 松永 宣行, 外 (MATSUNAGA, Nobuyuki et al.); 〒105-0001 東京都港区虎ノ門 1 丁目 1 6 番 4 号アーバン虎ノ門ビル 7 階 Tokyo (JP).
(81) 指定国 (国内): CN, JP, KR, US.

[続葉有]

Title: THIN FILM TRANSISTOR, CIRCUIT DEVICE AND LIQUID CRYSTAL DISPLAY

(57) 発明の名称: 薄膜トランジスタ、回路装置および液晶ディスプレイ



(57) Abstract: A thin film transistor comprising a one conductivity type semiconductor layer (11), a source region (12) and a drain region (13) provided in the semiconductor layer while spaced apart from each other, and a gate electrode (14) provided above or below the semiconductor layer through an insulation film, characterized in that the length (W_s) of a junction face of the source region and a channel region (16) provided between the source region and the drain region is different from the length (W_d) of a junction face of the channel region and the drain region.

(57) 要約:

一導電型半導体層 (11) と、該半導体層内に互いに離隔して設けられたソース領域 (12) およびドレイン領域 (13) と、該半導体層上または該半導体層下に絶縁膜を介して設けられたゲート電極 (14) とを含む薄膜トランジスタであって、前記ソース領域およびドレイン領域間に設けられたチャネル領域 (16) と前記ソース領域との接合面の長さ (W_s) と、前記チャネル領域と前記ドレイン領域との接合面の長さ (W_d) とが異なることを特徴とする。

WO 03/081676 A1



添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

薄膜トランジスタ、回路装置および液晶ディスプレイ

技術分野

本発明は、薄膜トランジスタ、該薄膜トランジスタを含む回路装置、前記薄膜トランジスタを含む液晶ディスプレイおよび前記回路装置を含む液晶ディスプレイに関する。

背景技術

薄膜トランジスタ（以下「TFT」という。）は、例えば、液晶ディスプレイの画素用スイッチング素子として、あるいは周辺回路の構成素子として用いられる。

薄膜トランジスタは、一導電型に形成された半導体からなる活性層を含む。活性層は、該活性層の一部の半導体へ他の導電型不純物が高濃度に導入されて形成されたソース領域およびドレイン領域を含む。これらソース領域とドレイン領域との間に位置するチャネル領域の上方または下方に、ゲート絶縁膜を介して、ゲート電極が形成されている。

活性層としては、例えばnチャネル型多結晶シリコン膜（Poly-Si膜）が用いられる。

ソース領域、ドレイン領域およびチャネル領域を有する活性層を含む薄膜トランジスタを一枚の基板上に複数個形成した場合、活性層内の一つ一つの結晶粒の粒径や面方位の違いによって、各薄膜トランジスタの電気特性にばらつきが生じるという問題がある。この問題を解決する手段として、結晶粒の粒径の大きさを大きくすることが要求される。

一枚の基板上に直接または間接的に形成された半導体層の結晶粒の粒径を大きくする方法について、いくつかの報告がある（例えば非特許文献1を参照。）。しかしながら、これらの技術では、半導体層の面内方向での結晶方位を制御する

ことができない。

薄膜トランジスタを含む回路装置の電気特性のばらつきは、前記結晶方位に依存することについて、いくつかの報告がある（例えば非特許文献2を参照。）。これについて、図15を参照して説明する。

図15に、従来の薄膜トランジスタにおける半導体からなる活性層の結晶粒および結晶粒界の一例を説明するための概略平面図を示す。

図15において、半導体膜の部分を示しており、100は半導体の結晶粒、101は結晶粒界、102は活性層、103は活性層102内における電流が流れる方向を示す。活性層102とは、一導電型に形成された半導体からなる層である。

活性層102内の結晶粒100または結晶粒界101の数に依存して、薄膜トランジスタの電気特性が異なる。多数の結晶粒界101を含む活性層102内を電流が矢印103で示す方向に流れるときには、電流が各結晶粒界101を横切る回数が各薄膜トランジスタで異なるため一枚の基板上で各薄膜トランジスタの特性がばらつく課題がある。

前記した多結晶シリコン膜の一部を活性層102として用いて該活性層を含む薄膜トランジスタを形成する場合、活性層内に存在する個々のシリコンの結晶粒100の結晶方位を制御することができず、結晶方位によるデバイス特性のばらつきを小さくすることが難しい。特にチャネルサイズが小さいとき、一つの結晶粒100の活性層102内に占める割合が大きく、従来の薄膜トランジスタでは電気特性のばらつきを小さくすることができないという問題点がある。

このような各薄膜トランジスタの特性がばらつく要因は、多結晶シリコンからなる活性層102内に存在する結晶粒界101が、高いポテンシャルバリア高を形成することで薄膜トランジスタの電界効果移動度を低下させることについて、いくつかの論文に報告されている（例えば非特許文献3を参照。）。

電気伝導の担体である電子または正孔が移動する方向を横切る方向に存在する結晶粒界101と、おおむね同移動方向に沿って存在する結晶粒界101とでは、薄膜トランジスタの電気特性に与える影響が異なる。

この結果、同一基板上に形成された薄膜トランジスタであるにもかかわらず各

薄膜トランジスタについて電気的特性が異なる課題がある（例えば非特許文献4を参照。）。

非特許文献1：松村正清、「エキシマレーザを用いた巨大結晶粒Si薄膜の形成」（日本表面科学会誌「表面科学」、第21巻、第5号、第278～287頁（第34～43頁）、2000年、日本表面科学会発行

非特許文献2：ベルント・ゲーベル（Bernd Goebel）他、アイトリプリー、電子デバイス会報誌（IEEE Trans. Elect. Dev.）、第48巻、第5号、第897から905頁、2001年5月

非特許文献3：レビンソン（Levinson）他、（応用物理学会誌（J. Appl. Phys.）、第53巻、第2号、第1193～1202頁（1982年2月）

非特許文献4：財団法人 新機能素子研究開発協会、「三次元回路素子研究開発プロジェクト」、第87～104頁、平成3年10月23日発行

発明の開示

本発明の目的は、薄膜トランジスタの電気特性のばらつきを小さくする、薄膜トランジスタ、薄膜トランジスタを含む回路装置、薄膜トランジスタを含む液晶ディスプレイおよび回路装置を含む液晶ディスプレイを提供することにある。

本発明に係る半導体装置は、基板と、この基板上に設けられ開き角が20度以上の扇形状又は台形状に設けられた一導電型半導体層と、この一導電型半導体層に設けられたトランジスタとを含む。本発明によれば、トランジスタの電気的特性の移動度のばらつきが小さい。

本発明に係る薄膜トランジスタは、一導電型半導体層と、該半導体層内に互いに離隔して設けられたソース領域およびドレイン領域と、該半導体層上または該半導体層下に絶縁膜を介して設けられたゲート電極とを含む薄膜トランジスタであって、前記ソース領域およびドレイン領域間に設けられたチャネル領域と前記ソース領域との接合面の長さと、前記チャネル領域と前記ドレイン領域との接合面の長さとが異なることを特徴とする。

本発明によれば、本発明によれば、薄膜トランジスタの電気的特性の移動度の

ばらつきが小さい効果がある。

好ましくは、前記半導体層はほぼ台形またはほぼ扇形の平面形状を有する。

好ましくは、前記台形または前記扇形は20度以上の開き角度を有する。前記台形においては、非平行の2直線がなす角度をいう。

好ましくは、前記半導体層は1以上の結晶粒界を含み、前記結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸びている。

好ましくは、前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また各結晶粒界は、前記台形または前記扇形の開き角に対応して前記半導体層の面内方向に伸びている。

好ましくは、前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また互いに隣接する2つの結晶粒界は、開き角度をもって前記半導体層の面内方向に伸びている。

好ましくは、前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また互いに隣接する2つの結晶粒界は、前記半導体層の面内方向に平行である。

好ましくは、前記チャネル領域と前記ソース領域との接合面の前記長さの中間位置と前記チャネル領域と前記ドレイン領域との接合面の前記長さの中間位置とを結ぶ仮想線と前記結晶粒界の伸長方向に伸びる仮想線とがなす角度と、前記チャネル領域と前記ソース領域との接合面の前記長さと前記チャネル領域と前記ドレイン領域との接合面の前記長さとの規定される開き角度との差が20度以上である。

本発明に係る回路装置は、基板と、該基板に直接または間接的に形成された前記薄膜トランジスタであってN型の薄膜トランジスタと、前記基板に直接または間接的に形成された前記薄膜トランジスタであってP型の薄膜トランジスタとを含む回路装置であって、前記N型の薄膜トランジスタと前記P型の薄膜トランジ

スタとは点対称の位置に配置されている。

本発明に係る液晶ディスプレイは、前記した薄膜トランジスタを含む。

本発明に係る他の液晶ディスプレイは、前記した回路装置を含む。

本発明に係る他の回路装置は、基板と、この基板上に設けられた多数の結晶粒界を有する半導体膜と、この半導体膜に設けられ前記結晶粒界と平行な方向に電流が流れる薄膜トランジスタとを含む。この発明によれば、基板上に形成される薄膜トランジスタは、電気的特性のばらつきは小さい。

本発明に係るさらに他の回路装置は、基板と、この基板上に設けられた多数の結晶粒界を有する半導体膜と、この半導体膜の同一結晶方位に複数個設けられ前記結晶粒界と平行な方向に電流が流れる薄膜トランジスタとを含む。この発明によれば、基板上に形成される薄膜トランジスタは、ばらつきの小さな電気的特性が得られる。

図面の簡単な説明

図1は、本発明の実施の形態1に係る薄膜トランジスタおよび別の薄膜トランジスタの概略構成を示す図であって、(a)は本発明の実施の形態1に係る薄膜トランジスタの概略構成を示す平面図、(b)は(a)の断面図、(c)は本実施の形態1に係る別の薄膜トランジスタの概略構成を示す平面図、(d)は(c)の断面図である。

図2は、円形状の半導体膜における、扇形状の結晶の中心軸と(001)方向とがなす角度に対する電界効果移動度の変化を扇形の開き角度を変えて行った実験を説明する図である。

図3は、図2の実験の結果である電界効果移動度の方位依存性を示す図で、扇形の開き角度 θ における、扇形状の結晶の中心軸Aの方位と相対移動度との関係を示す図である。

図4は、本実施の形態1に係る活性層の概略形状と、台形の開き角を示す概略平面図である。

図5は、結晶粒界を示す図であって、(a)～(d)はそれぞれ活性層における結晶粒界を示す概略平面図である。

図6は、円形状の半導体膜を示す図であって、(a)は結晶粒界が放射状に伸びる円形状の半導体膜の概略平面図、(b)は円形状の半導体膜における活性層の配置例を示す概略平面図である。

図7は、本実施の形態1の薄膜トランジスタの概略平面図である。

図8は、本実施の形態1の薄膜トランジスタの製造工程における図であって、(a)～(g)は、本実施の形態1の薄膜トランジスタの製造工程における概略断面図である。

図9は、本実施の形態1の薄膜トランジスタの製造工程における図であって、(h)～(o)は、本実施の形態1の薄膜トランジスタの製造工程における概略断面図である。

図10は、本実施の形態1の薄膜トランジスタの製造工程における図であって、(p)～(u)は、本実施の形態1の薄膜トランジスタの製造工程における概略断面図である。

図11は、本実施の形態2の相補型回路装置を示す図であって、(a)は本実施の形態2の相補型回路装置の概略平面図、(b)はその回路図である。

図12は、本実施の形態2の相補型回路装置の製造工程における図であって、(a)、(b)は、本実施の形態2の相補型回路装置の製造工程における概略断面図である。

図13は、本発明の実施の形態3を示す図であって、(a)は、図8(c)とは別のレーザの照射方法を示す概略斜視図、(b)は、その結果、形成された本発明の実施の形態3の結晶粒を示す概略平面図である。

図14は、細長い結晶粒を示す図であって、(a)は複数の結晶粒界が平行に伸びる細長い結晶粒の概略平面図、(b)は細長い結晶粒における活性層の配置例を示す概略平面図である。

図15は、従来の薄膜トランジスタにおける半導体からなる活性層の結晶粒および結晶粒界の一例を説明するための概略平面図である。

発明を実施するための最良の形態

以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下

で説明する図面で、同一機能を有するものには同一符号を付け、その繰り返しの説明は省略する。

半導体からなる活性層中の半導体の結晶方位に依存する薄膜トランジスタのデバイス特性のばらつきを小さくするために形成された活性層は、ほぼ台形（以下「台形状」という。）又は、ほぼ扇形（以下「扇形状」という。）の平面形状を有する。台形状または扇形状の開き角度がある角度以上になるように形成された半導体層は、半導体の結晶または結晶粒のいろいろな面方位が平均化されるという利点がある。前記台形の「開き角」は、非平行の2直線がなす角度をいう。

大きな粒径を有する結晶粒からなり、結晶粒界が放射状に伸びる、例えば円形の平面形状を有する多結晶シリコン膜の一部を活性層として用いる場合には、例えば、次のような利点がある。後述するように、第1の扇形状の活性層にN型の薄膜トランジスタを形成し、第2の扇形状の活性層にP型の薄膜トランジスタを形成して互いに相対するように点对称の位置に一つの結晶粒内に作製することにより、従来と比べてより優れた相補性を示す相補型回路装置（以下「CMOS装置」という。）を作製することができる。台形状又は扇形状の半導体層には、薄膜トランジスタ、CMOS装置などダイオードなどのトランジスタを形成してもよい。

前記非特許文献2のような、半導体の結晶についての二次元方向の結晶方位と電界効果移動度とについての考察を参考にして、前記扇形の開き角と前記移動度との関係について検討した。

図2に、前記多結晶シリコン膜のような半導体膜の一部を活性層としたときにおける、扇形状の結晶の中心軸と(001)方向とがなす角度に対する電界効果移動度の変化について扇形の開き角度を変えて行った実験を説明する図を示す。

図2において、1はほぼ円形（以下「円形状」という。）の半導体膜、2は扇形状の結晶、Aは扇形状の結晶の中心軸、Bは(001)方向、 θ は扇形の開き角度、Cは扇形状の結晶の中心軸Aと(001)方向Bとがなす角度を示す。

図3に、前記実験の結果である電界効果移動度の方位依存性についての図を示す。扇形の開き角度 θ における、扇形状の結晶の中心軸Aの方位と相対的な前記移動度との関係が示されている。

図3に示すように、扇形の開き角度 θ （図2）が大きいとき、前記移動度のばらつきが小さい。すなわち、扇形状の結晶の中心軸A（図2）が（001）方向Bから外れたとき、前記移動度に差がほとんどない。また、扇形状の結晶の中心軸Aを（001）方向Bとしたとき、その他の方向が含まれる方がばらつきが小さい。図3からわかるように、扇形の開き角度 θ を20度以上とすることにより、前記移動度のばらつきがほぼ5%以内におさまる。

すなわち、薄膜トランジスタが形成される活性層は、20度以上の開き角度 θ を有する扇形状であるとき、活性層内の半導体（例えばシリコン）の結晶方位にばらつきがあっても、薄膜トランジスタの電気特性の移動度のばらつきは十分小さい。

前記薄膜トランジスタは、半導体からなる活性層と、該活性層上または該活性層下の少なくとも一部に直接または間接的に形成されたゲート電極とを含む。活性層は、ゲート電極層の下方または上方に位置するチャネル領域と、チャネル領域の側方に位置するソース領域およびドレイン領域とを有する。

チャネル領域とソース領域との接合面の長さの中間位置と、チャネル領域とドレイン領域との接合面の長さの中間位置とを結ぶ仮想線 L_m と、結晶粒界の伸長方向に伸びる仮想線 L_g とがなす角度を α （以下「トランジスタの向きについての角度」という。）とする。また、チャネル領域とソース領域との接合面の長さ、チャネル領域とドレイン領域との接合面の長さとして規定される開き角度を β とする。前記活性層が1以上の結晶粒界を含むとき、 α と β との差が20度以上であるように、活性層を配置することにより、薄膜トランジスタの電気特性は良好であり、またそのばらつきが小さい。複数の結晶粒界の方向について、放射状または平行のいずれであってもよい。

また、第1の扇形状の活性層に形成されたN型の薄膜トランジスタおよび第2の扇形状の活性層に形成されたP型の薄膜トランジスタを互いに相対するように点対称の位置に一つの結晶粒内に作製することにより、薄膜トランジスタの電気特性が等しくなり、後述するように、設計されたとおりの相補性を示す相補型回路が得られる。

実施の形態1

図1 (a) は、本発明に係る薄膜トランジスタの実施の形態1の概略構成を示す平面図、図1 (b) は図1 (a) の断面図、図1 (c) は、本実施の形態1に係る他の薄膜トランジスタの概略構成を示す平面図、図1 (d) は図1 (c) の断面図をそれぞれ示す。

図1において、10は薄膜トランジスタ、11は一導電型半導体例えばn型シリコン (Si) からなるほぼ台形状の平面形状を有する活性層、12は半導体層11内に高濃度不純物が注入して設けられたソース領域、13は半導体層11内に高濃度不純物が注入して設けられたドレイン領域、14はソース領域12とドレイン領域13との間に位置するチャネル領域16の上方に設けられたゲート電極、15はゲート絶縁膜を示す。

また、図1において、17はソース領域12とドレイン領域13が形成されている方向 (ソースドレイン方向17と記す。) を示す。また、 W_s は、チャネル領域16とソース領域12との接合面の長さを示す。すなわち、 W_s は、ソース領域12のゲート電極14の端部近傍での幅寸法 (同方向における幅寸法を含む。) を示す。 W_d は、チャネル領域16とドレイン領域13との接合面の長さを示す。すなわち、 W_d は、ドレイン領域13のゲート電極14の端部近傍での幅寸法を示す。ソースドレイン方向17は、ソース領域12からドレイン領域13へキャリアが流れる方向 (チャネル方向) を示す。

本実施の形態1では、半導体からなる活性層11内のソース領域12およびドレイン領域13と、ソース領域12とドレイン領域13との間に位置するチャネル領域16の上方または下方に形成されたゲート電極14とを含む薄膜トランジスタにおいて、チャネル領域16とソース領域12との接合面のゲート電極14の端部近傍の幅寸法 (長さ) W_s と、チャネル領域16とドレイン領域13との接合面のゲート電極14の端部近傍の幅寸法 (長さ) W_d とが異なる。

すなわち、 $W_s > W_d$ (図1 (a)、(b))、または、 $W_s < W_d$ である (図1 (c)、(d))。

活性層11は、ほぼ台形またはほぼ扇形の平面形状を有する。前記ほぼ台形および前記ほぼ扇形は、 $W_s > W_d$ または $W_s < W_d$ の関係を満たす形状を含む。

ゲート電極14が活性層11の下方に位置する場合については、活性層11の

下方にゲート絶縁膜を介してゲート電極 1 4 が形成されることを除いて同様であるので、図示を省略する。

図 4 に、本実施の形態 1 に係る台形状の活性層 1 1 の概略形状と、該台形の開き角度 θ を示す概略平面図とを示す。

本実施の形態 1 では、図 4 に示すように、前記台形または扇形状の活性層 1 1 は、20 度以上の開き角度 θ を有する。既に図 2、図 3 を参照して説明したように、中心軸 A 方向以外の方向が、より多く含まれている方が電界効果移動度のばらつきが小さいため、前記台形の開き角度 θ が 20 度以上であるとき、前記電界効果移動度のばらつきがほぼ 5 % 以内におさまリ、デバイス特性のばらつきが小さくなる。扇形の場合も同様である。

図 5 (a) ~ (d) に、それぞれ台形状の活性層 1 1 における結晶粒界 2 1 についての概略平面図を示す。

図 5 (a)、(b) に、本実施の形態 1 に従う活性層 1 1 の結晶粒界 2 1 を示す。比較のために、図 5 (c)、(d) に、従来の形態に従う活性層 1 1 の結晶粒界 2 1 を示す。

本実施の形態 1 では、図 5 (a)、(b) に示すように、活性層 1 1 のソースドレイン方向と当該活性層 1 1 内の結晶粒界の方向とがほぼ一致するように、当該活性層 1 1 が配置されている。

本実施の形態 1 では、図 5 (a)、(b) に示すように、ソースドレイン方向 1 7、すなわち、電気伝導の担体である電子あるいは正孔の移動する方向に概略平行な方向に結晶粒界 2 1 が存在するので、結晶粒界 2 1 によるポテンシャルバリアが担体移動方向に存在しないため、薄膜トランジスタの電気特性は良好である。これに対して、図 5 (c)、(d) に示すように、ソースドレイン方向 1 7 を横切る向きの結晶粒界 2 1 が存在する場合、結晶粒界 2 1 によるポテンシャルバリア数が電流量に影響するため前記電気特性は良好でない。

図 6 (a) に、結晶粒界 2 1 が放射状に伸びる円形状の半導体膜 1 の概略平面図を、図 6 (b) に、該円形の半導体膜 1 における活性層 1 1 a ~ 1 1 e の形成位置の例を示す概略平面図を示す。

2 2 は活性層 1 1 a ~ 1 1 e 内における電流が流れる方向を示す。

本実施の形態 1 では、薄膜トランジスタの主要部をなす活性層は、結晶粒界が放射状に伸びる半導体膜、例えば図 6 (a)、(b) の円形状の半導体膜 1 の一部を用いて形成されている。図 6 (b) に示すように、活性層 11a、11b、11c は、活性層 11 のソースドレイン方向 17 (すなわち、電流が流れる方向 22) と前記放射方向とがほぼ一致する位置にある。

これにより、ソースドレイン方向 17、すなわち、電気伝導の担体である電子あるいは正孔の移動する方向に沿って結晶粒界 21 が存在するので、薄膜トランジスタの電気特性は良好である。これに対して、図 6 (b) の活性層 11d、11e は、本実施の形態 1 によらない場合であり、ソースドレイン方向 17 (すなわち、電流が流れる方向 22) を横切る向きの結晶粒界 21 が存在するので、前記電気特性は良好でない。

図 7 に、本実施の形態 1 の薄膜トランジスタの概略平面図を示す。

図 7 において、32 はソース電極、33 はドレイン電極、42 はソース領域 12 とソース電極 32 との電氣的接続のために形成されたコンタクトホール、43 はドレイン領域 13 とドレイン電極 33 との電氣的接続のために形成されたコンタクトホールを示す。コンタクトホール 42、43 は、電流が結晶粒界 21 に沿って流れ、電流密度が均一になるように、ソース領域 12 およびドレイン領域 13 のそれぞれにこれらの幅方向に多数個並べて配置されている。

図 7 に示す薄膜トランジスタ 10 では、ソース領域 12 のゲート電極 14 の端部近傍の幅寸法は、ドレイン領域 13 のゲート電極 14 の端部近傍の幅寸法より大きい。活性層 11 はほぼ扇形の平面形状を有する。図示は省略するが、ドレイン領域 13 のゲート電極 14 の端部近傍の幅寸法がソース領域 12 のゲート電極 14 の端部近傍の幅寸法より大きい場合であってもよい。

《製造工程》

図 8 (a) ～図 10 (r) に、本実施の形態 1 の薄膜トランジスタの製造工程における概略断面図を示す。

まず、図 8 (a) に示すように、液晶ディスプレイ作製のガラス基板 51 上に、プラズマ CVD 法によって基板温度 500℃、堆積時間 40 分間の条件で、800nm の膜厚を有する下地酸化膜 (SiO₂ 膜) 52 を形成する。

次に、図 8 (b) に示すように、 Si_2H_6 ガスを流速 150cccm 、圧力 8Pa の条件で供給している間に、LP (low pressure) -CVD 法によって、基板温度 450°C 、堆積時間 70 分間の条件で、 100nm の膜厚を有する、活性層形成用の a-Si (アモルファスシリコン) 膜 53 を形成する。その後、ドーパントとしてボロン 54 をイオンシャワードーピング法によりドーピングする。

次に、図 8 (c) に示すように、KrF (フッ化クリプトン) エキシマレーザー光 55 を $350\text{mJ} \cdot \text{cm}^{-2}$ の強度で照射する。中心で弱くかつ周辺で強いレーザー光強度を有し、同心円の断面形状を有するレーザー光を照射することにより、大きな粒径を有する結晶粒からなる円板状の多結晶シリコン膜 56 (図 8 (d)) が得られる。

次に、図 8 (d) に示すように、LP-CVD 法によって基板温度 500°C 、堆積時間 10 分間の条件で、 10nm の膜厚を有する保護酸化膜 (SiO_2 膜) 57 を形成する。

次に、図 8 (e) に示すように、レジスト材を塗布し、露光および現像を行って、パターニングされたレジスト膜 58 を形成する。

次に、図 8 (f) に示すように、レジスト膜 58 をマスクとして、保護酸化膜 57 および多結晶シリコン膜 56 を、 $\text{BCl}_3 + \text{CH}_4$ ガスを用いたドライエッチング法により加工する。このとき、保護酸化膜 57 および多結晶シリコン膜 56 は、図 1 (a)、(c) に示したような台形状 (活性層 11 の平面形状)、あるいは図 7 に示したような扇形状 (活性層 11 の平面形状) に加工する。

次に、図 8 (f) のレジスト膜 58 を、図 8 (g) に示すように除去する。

次に、図 9 (h) に示すように、LP-CVD 法によって基板温度 500°C 、堆積時間 60 分間の条件で、 100nm の膜厚を有するゲート酸化膜 (SiO_2 膜) 59 を形成する。

次に、図 9 (i) に示すように、スパッタリング法によって基板温度 100°C 、堆積時間 10 分間の条件で、 100nm の膜厚を有する、ゲート電極形成用の Mo (モリブデン) 膜 60 を形成する。

次に、図 9 (j) に示すように、レジスト材を塗布し、露光および現像を行っ

て、パターニングされたレジスト膜61を形成する。

次に、図9(k)に示すように、レジスト膜61をマスクとし、 $\text{BCl}_3 + \text{CH}_4$ ガスを用いたドライエッチング法によりMo膜60を加工し、ゲート電極62を形成する。

次に、図9(k)に示すレジスト膜61を、図10(l)に示すように除去する。

次に、図9(m)に示すように、プラズマCVDによって基板温度500℃、堆積時間20分間の条件で、200nmの膜厚を有するパッシベーション膜(SiO_2 膜)63を形成する。

次に、図9(n)に示すように、レジスト材を塗布し、露光および現像を行って、パターニングされたレジスト膜64を形成する。

次に、図9(o)に示すように、レジスト膜64をマスクとし、 $\text{CHF}_3 + \text{O}_2$ ガスを用いたドライエッチング法によりコンタクトホール65を形成する。

次に、図9(o)に示すレジスト膜64を、図10(p)に示すように除去する。

次に、図10(q)に示すように、ソース領域およびドレイン領域を形成するためにリン66のイオンドーピングを行った後、500℃の窒素雰囲気中でドーパントの活性化アニールを3時間行って、ソース領域67およびドレイン領域68を形成する。69はソース領域67とドレイン領域68との間に位置するチャネル領域を示す。

次に、図10(r)に示すように、スパッタリング法によって基板温度100℃、堆積時間10分間の条件で、100nmの膜厚を有する、電極用Al(アルミニウム)膜70を形成する。

次に、図10(s)に示すように、レジスト材を塗布し、露光および現像を行って、パターニングされたレジスト膜71を形成する。

次に、図10(t)に示すように、レジスト膜70をマスクとし、 $\text{BCl}_3 + \text{CH}_4$ ガスを用いたドライエッチング法によりAl膜70を加工し、ソース電極72、ドレイン電極73およびゲート電極(ゲート電極62の取り出し電極)74を形成する。

最後に、図10(t)に示すレジスト膜71を、図10(u)に示すように除去する。これにより、薄膜トランジスタ10が製造される。

実施の形態2

図11(a)に、本実施の形態2の相補型回路装置（以下「CMOS装置」という。）の平面図、図11(b)にその回路図を示す。

図において、80は相補型回路装置、81はP型薄膜トランジスタ、82はN型薄膜トランジスタ、91はP型薄膜トランジスタ81のソース領域83に接続されたソース電極、92はP型薄膜トランジスタ81のゲート電極84およびN型薄膜トランジスタ82のゲート電極85に接続された入力電極、93はP型薄膜トランジスタ81のドレイン領域86とN型薄膜トランジスタ82のドレイン領域87とに接続された出力電極、94はN型薄膜トランジスタ82のソース領域88に接続されたソース電極を示す。

コンタクトホール95、96、97、98は、電流が結晶粒界21に沿って流れ、電流密度が均一になるように、ソース領域83、88およびドレイン領域86、87のそれぞれにこれらの幅方向に多量に並べて配置されている。

図11(a)に示す相補型回路装置80のP型薄膜トランジスタ81では、ソース領域83のゲート電極84の端部近傍の幅寸法は、ドレイン領域86のゲート電極84の端部近傍の幅寸法より大きい。また、活性層89はほぼ扇形の平面形状を有する。相補型回路装置80のN型薄膜トランジスタ82では、ソース領域88のゲート電極85の端部近傍の幅寸法は、ドレイン領域87のゲート電極85の端部近傍の幅寸法より大きい。また、活性層90はほぼ扇形の平面形状を有する。

すなわち、本実施の形態2では、1つの結晶粒からなる円形状の半導体膜1において、それぞれがほぼ扇形の平面形状を有するN型の薄膜トランジスタ82およびP型の薄膜トランジスタ81をこれらが互いに相対するように点対称の位置に作製し、相補型回路装置を構成した。

本実施の形態2では、半導体膜1が1つの結晶粒からなることから、従来と比べてより優れた相補性を示す相補型回路装置80が得られる。

《製造工程》

図12(a)、(b)に、本実施の形態2の相補型回路装置の製造工程における概略断面図を示す。

本実施の形態2では、前記実施の形態1の製造工程における図10(q)に示すようなイオンドーピング工程において、P型にすべき薄膜トランジスタ81にイオンドーピング処理がされないようにレジスト膜76でマスクした後、N型にすべき薄膜トランジスタ82にのみ例えばリン66をドーピングする。その後、逆に、N型にすべき薄膜トランジスタ82にイオンドーピング処理がされないようにレジスト膜77でマスクした後、P型にすべき薄膜トランジスタ81にのみ例えばボロン78をドーピングする。

前記ドーピングの後、500℃の窒素雰囲気中でドーパントの活性化アニールを3時間行う。

実施の形態3

前記実施の形態1における製造工程では、図8(c)において、a-Si膜53にKrFエキシマレーザ光55を照射して多結晶シリコン膜56(図8(d))を得ることにおいて、中心で弱くかつ周辺で強いレーザ光強度を有し、同心円の断面形状を有するレーザ光を照射することにより、大きな粒径を有する結晶粒からなる円板状の多結晶シリコン膜56(図8(d))が得られるとした。この多結晶シリコン膜56は、図2、図6(a)、(b)および図7の円形状の半導体膜1に相当する。

図13(a)に、図8(c)とは別のKrFエキシマレーザ光55の照射方法を示す概略斜視図、図13(b)に、その結果、形成された結晶粒を示す概略平面図を示す。

図13(a)に示すように、KrFエキシマレーザ光55を $350\text{ mJ} \cdot \text{cm}^{-2}$ の強度で照射する。レーザ光強度が中心線75上で弱く、外側ほど強くなるようにレーザ光強度を調整することにより、図13(b)に示すように、中心線75から該中心線75と直角の方向に外側に長く伸びる大きな結晶粒31を有する多結晶シリコン膜が得られる。これらの細長い結晶粒31を有する半導体膜においては、結晶粒界21が平行に伸びている。

図14(a)に、図13(b)に示した、結晶粒界21が平行に伸びる細長い

結晶粒 3 1 の概略平面図、図 1 4 (b) に、細長い結晶粒 3 1 における活性層 1 1 の配置例を示す概略平面図を示す。

活性層 1 1 が図において上方に位置するものほど、該活性層を含む薄膜トランジスタにおける電気特性は良好である。一方、活性層 1 1 が図において下方に位置するものほど、前記電気特性は良好でない。

すなわち、本実施の形態 1 では、薄膜トランジスタの主要部をなす活性層は、結晶粒界が平行に伸びる、半導体からなる層である。結晶粒は、例えば図 1 4 (a)、(b) に示すように細長い結晶粒 3 1 である。活性層 1 1 g、1 1 h、1 1 i、1 1 m は、ほぼ台形の平面形状を有する。活性層 1 1 f、1 1 j、1 1 k、1 1 l は、ほぼ長方形の平面形状を有する活性層であり、比較のために示す。

活性層 1 1 f、1 1 g、1 1 h、1 1 i のソースドレイン方向（すなわち電流が流れる方向）は、前記平行方向に沿うように配置されている。これにより、ソースドレイン方向 1 7、すなわち、電気伝導の担体である電子あるいは正孔の移動する方向に沿って結晶粒界 2 1 が存在するので、薄膜トランジスタの電気特性は良好である。

これに対して、図 1 4 (b) に示す活性層 1 1 j、1 1 k、1 1 l、1 1 m は、ソースドレイン方向を横切る向きの結晶粒界 2 1 が存在する度合いが高いため、前記電気特性は良好でない。

前記活性層が 1 以上の結晶粒界を含むとき、チャネル領域とソース領域との接合面の長さの中間位置とチャネル領域とドレイン領域との接合面の長さの中間位置とを結ぶ仮想線と結晶粒界の伸長方向に伸びる仮想線とがなす角度（以下「トランジスタの向きについての角度」という。）と、チャネル領域とソース領域との接合面の前記長さとチャネル領域とドレイン領域との接合面の前記長さとの規定される開き角度との差が 20 度以上であるように、活性層を配置することにより、薄膜トランジスタの電気特性は良好であり、またそのばらつきが小さい。

なお、液晶ディスプレイにおける画素のスイッチング素子として、あるいは周辺回路の構成素子として、以上説明した本発明に係る薄膜トランジスタを用いることにより、高性能の液晶ディスプレイを実現することができる。

以上本発明を実施の形態に基づいて具体的に説明したが、本発明は上記実施の

形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

請 求 の 範 囲

1. 基板と、

この基板上に設けられ開き角が20度以上の扇形状又は台形状に設けられた一導電型半導体層と、

この一導電型半導体層に設けられたトランジスタとを含む、半導体装置。

2. 一導電型半導体層と、該半導体層内に互いに離隔して設けられたソース領域およびドレイン領域と、該半導体層上または該半導体層下に絶縁膜を介して設けられたゲート電極とを含む薄膜トランジスタであって、

前記ソース領域およびドレイン領域間に設けられたチャネル領域と前記ソース領域との接合面の長さと、前記チャネル領域と前記ドレイン領域との接合面の長さが異なることを特徴とする薄膜トランジスタ。

3. 前記半導体層は、ほぼ台形またはほぼ扇形の平面形状を有する、請求項2に記載の薄膜トランジスタ。

4. 前記台形または前記扇形は、20度以上の開き角度を有する、請求項3に記載の薄膜トランジスタ。

5. 前記半導体層は1以上の結晶粒界を含み、前記結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸びている、請求項2から4のいずれか1項に記載の薄膜トランジスタ。

6. 前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また各結晶粒界は、前記台形または前記扇形の開き角に対応して前記半導体層の面内方向に伸びている、請求項3または4に記載の薄膜トランジスタ。

7. 前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また互いに隣接する2つの結晶粒界は、開き角度をもつ

て前記半導体層の面内方向に伸びている、請求項 2 に記載の薄膜トランジスタ。

8. 前記半導体層は 2 以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また互いに隣接する 2 つの結晶粒界は、前記半導体層の面内方向に平行である、請求項 2 に記載の薄膜トランジスタ。

9. 前記チャネル領域と前記ソース領域との接合面の前記長さの中間位置と前記チャネル領域と前記ドレイン領域との接合面の前記長さの中間位置とを結ぶ仮想線と前記結晶粒界の伸長方向に伸びる仮想線とがなす角度と、前記チャネル領域と前記ソース領域との接合面の前記長さと同前記チャネル領域と前記ドレイン領域との接合面の前記長さとの規定される開き角度との差が 20 度以上である、請求項 5 から 8 のいずれか 1 項に記載の薄膜トランジスタ。

10. 基板と、該基板に直接または間接的に形成された、請求項 2 から 9 のいずれか 1 項に記載の薄膜トランジスタであって N 型の薄膜トランジスタと、前記基板に直接または間接的に形成された、請求項 2 から 9 のいずれか 1 項に記載の薄膜トランジスタであって P 型の薄膜トランジスタとを含む回路装置であって、前記 N 型の薄膜トランジスタと前記 P 型の薄膜トランジスタとは点対称の位置に配置されている、回路装置。

11. 請求項 2 から 9 のいずれか 1 項に記載の薄膜トランジスタを含む、液晶ディスプレイ。

12. 請求項 10 に記載の回路装置を含む、液晶ディスプレイ。

13. 基板と、

この基板上に設けられた多数の結晶粒界を有する半導体膜と、

この半導体膜に設けられ前記結晶粒界と平行な方向に電流が流れる薄膜トランジスタとを含む、回路装置。

14. 基板と、

この基板上に設けられた多数の結晶粒界を有する半導体膜と、

この半導体膜の同一結晶方位に複数個設けられ前記結晶粒界と平行な方向に電流が流れる薄膜トランジスタとを含む、回路装置。

補正書の請求の範囲

[2003年7月23日 (23. 07. 03) 国際事務局受理：出願当初の請求の範囲
1及び2は補正された；他の請求の範囲は変更なし。(3頁)]

1. (補正後) 基板と、

この基板上に設けられ開き角が20度以上の扇形状又は台形状に設けられた一導電型半導体層と、

この一導電型半導体層に、電流が結晶粒界に沿って流れるように設けられたトランジスタとを含む、半導体装置。

2. (補正後) 一導電型半導体層と、該半導体層内に、電流が結晶粒界に沿って流れるように互いに離隔して設けられたソース領域およびドレイン領域と、該半導体層上または該半導体層下に絶縁膜を介して設けられたゲート電極とを含む薄膜トランジスタであって、

前記ソース領域およびドレイン領域間に設けられたチャネル領域と前記ソース領域との接合面の長さ、前記チャネル領域と前記ドレイン領域との接合面の長さとは異なることを特徴とする薄膜トランジスタ。

3. 前記半導体層は、ほぼ台形またはほぼ扇形の平面形状を有する、請求項2に記載の薄膜トランジスタ。

4. 前記台形または前記扇形は、20度以上の開き角度を有する、請求項3に記載の薄膜トランジスタ。

5. 前記半導体層は1以上の結晶粒界を含み、前記結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸びている、請求項2から4のいずれか1項に記載の薄膜トランジスタ。

6. 前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また各結晶粒界は、前記台形または前記扇形の開き角に対応して前記半導体層の面内方向に伸びている、請求項3または4に記載の薄膜トランジスタ。

7. 前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層の

ソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また互いに隣接する2つの結晶粒界は、開き角度をもって前記半導体層の面内方向に伸びている、請求項2に記載の薄膜トランジスタ。

8. 前記半導体層は2以上の結晶粒界を含み、各結晶粒界は、前記半導体層のソース領域からドレイン領域に向かう方向または前記ドレイン領域からソース領域に向かう方向に伸び、また互いに隣接する2つの結晶粒界は、前記半導体層の面内方向に平行である、請求項2に記載の薄膜トランジスタ。

9. 前記チャネル領域と前記ソース領域との接合面の前記長さの中間位置と前記チャネル領域と前記ドレイン領域との接合面の前記長さの中間位置とを結ぶ仮想線と前記結晶粒界の伸長方向に伸びる仮想線とがなす角度と、前記チャネル領域と前記ソース領域との接合面の前記長さと同前記チャネル領域と前記ドレイン領域との接合面の前記長さとの規定される開き角度との差が20度以上である、請求項5から8のいずれか1項に記載の薄膜トランジスタ。

10. 基板と、該基板に直接または間接的に形成された、請求項2から9のいずれか1項に記載の薄膜トランジスタであってN型の薄膜トランジスタと、前記基板に直接または間接的に形成された、請求項2から9のいずれか1項に記載の薄膜トランジスタであってP型の薄膜トランジスタとを含む回路装置であって、前記N型の薄膜トランジスタと前記P型の薄膜トランジスタとは点対称の位置に配置されている、回路装置。

11. 請求項2から9のいずれか1項に記載の薄膜トランジスタを含む、液晶ディスプレイ。

12. 請求項10に記載の回路装置を含む、液晶ディスプレイ。

13. 基板と、

この基板上に設けられた多数の結晶粒界を有する半導体膜と、

この半導体膜に設けられ前記結晶粒界と平行な方向に電流が流れる薄膜トランジスタとを含む、回路装置。

14. 基板と、

この基板上に設けられた多数の結晶粒界を有する半導体膜と、

この半導体膜の同一結晶方位に複数個設けられ前記結晶粒界と平行な方向に電

流が流れる薄膜トランジスタを含む、回路装置。

図 1

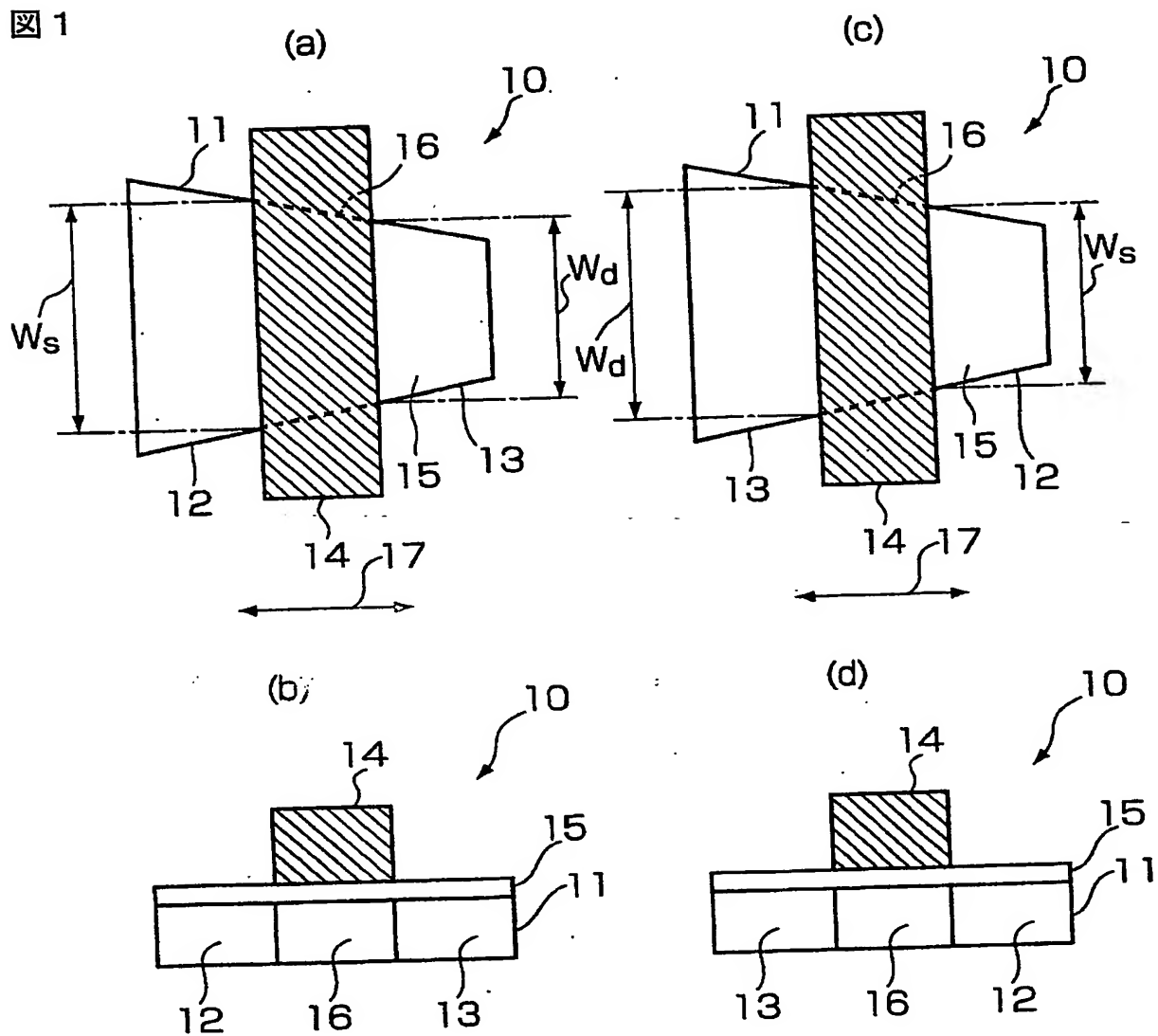


図 2

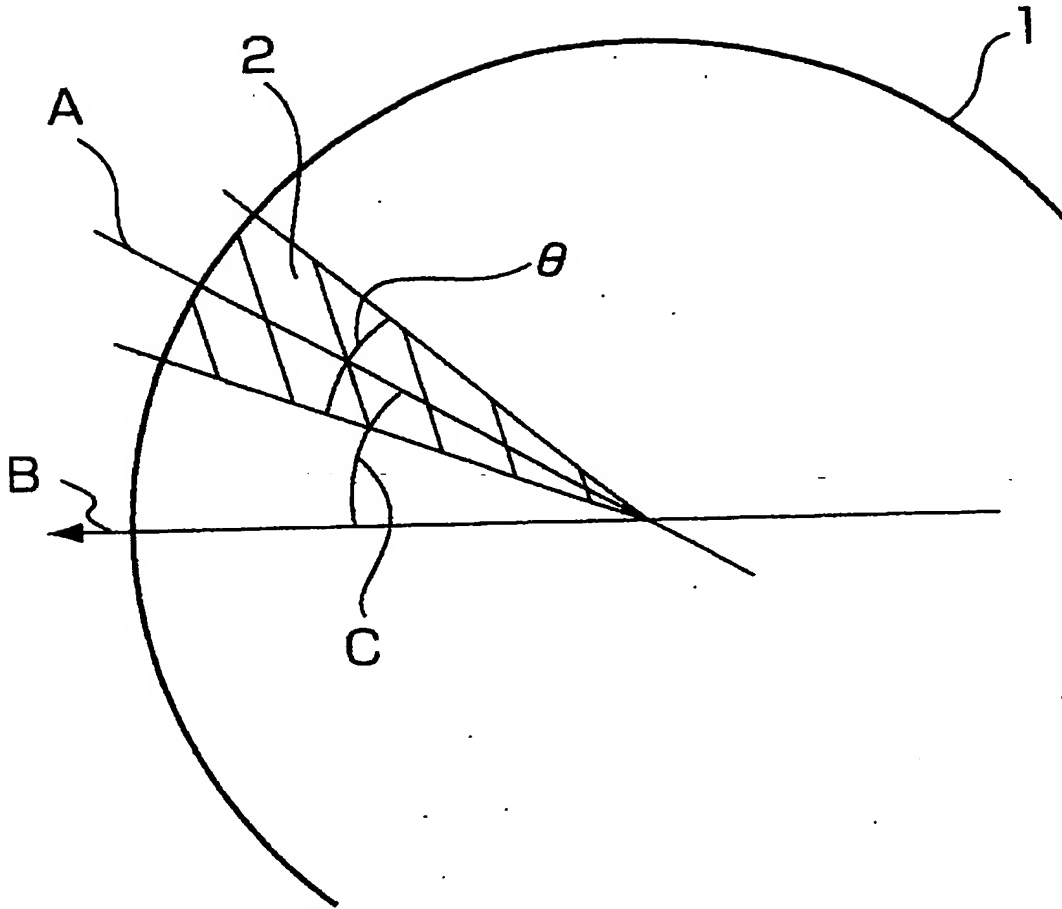


図 3

電界効果移動度の方向依存性

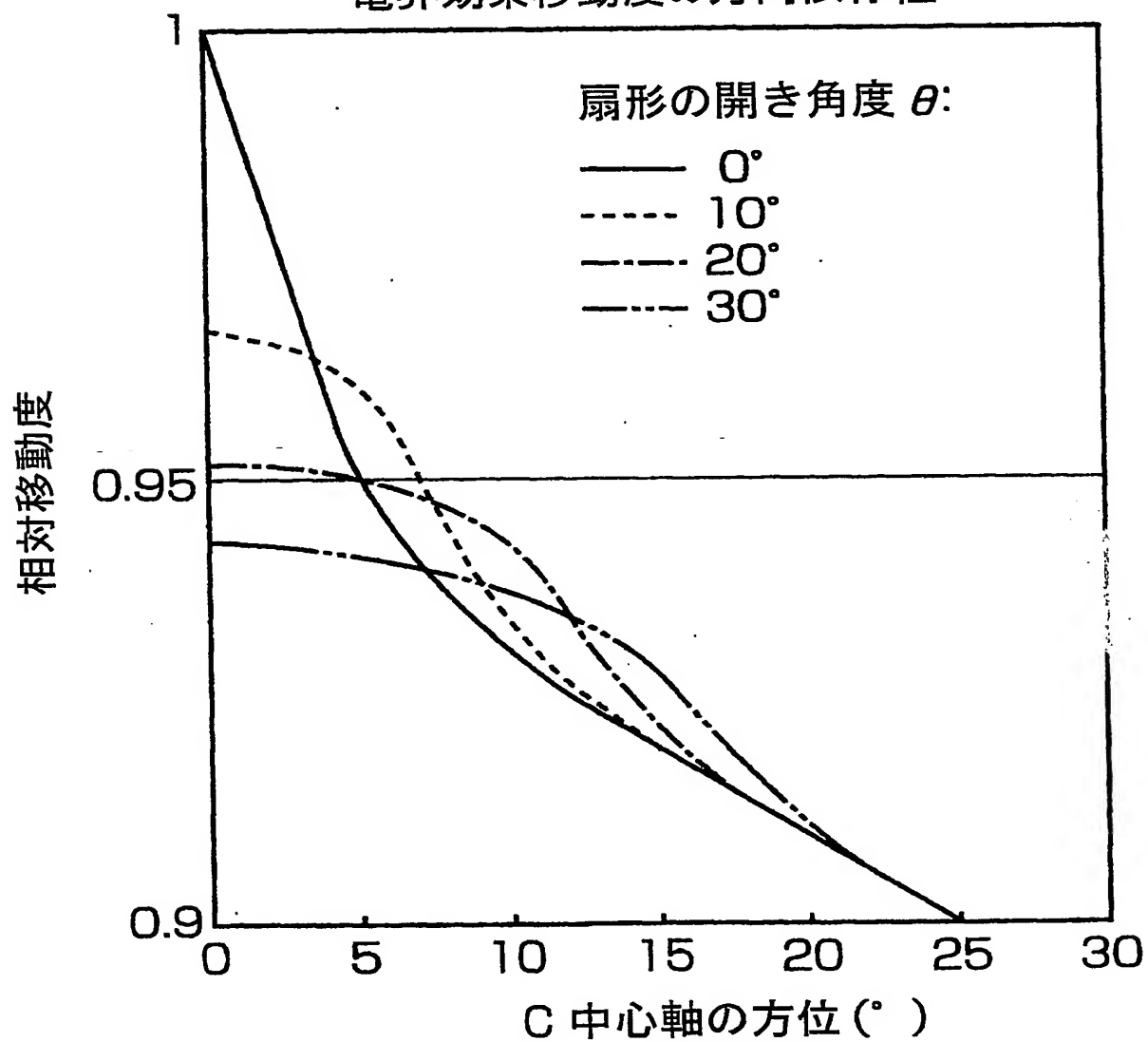


図 4

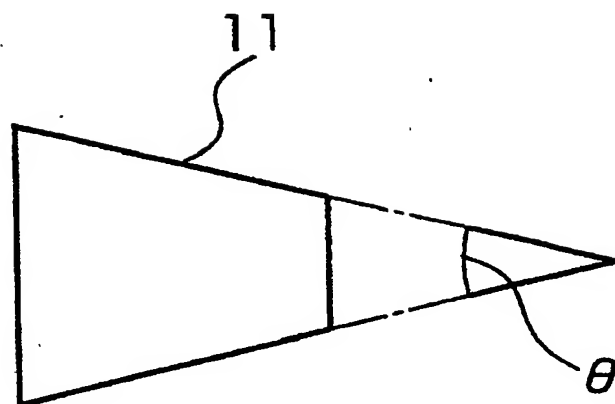


図 5

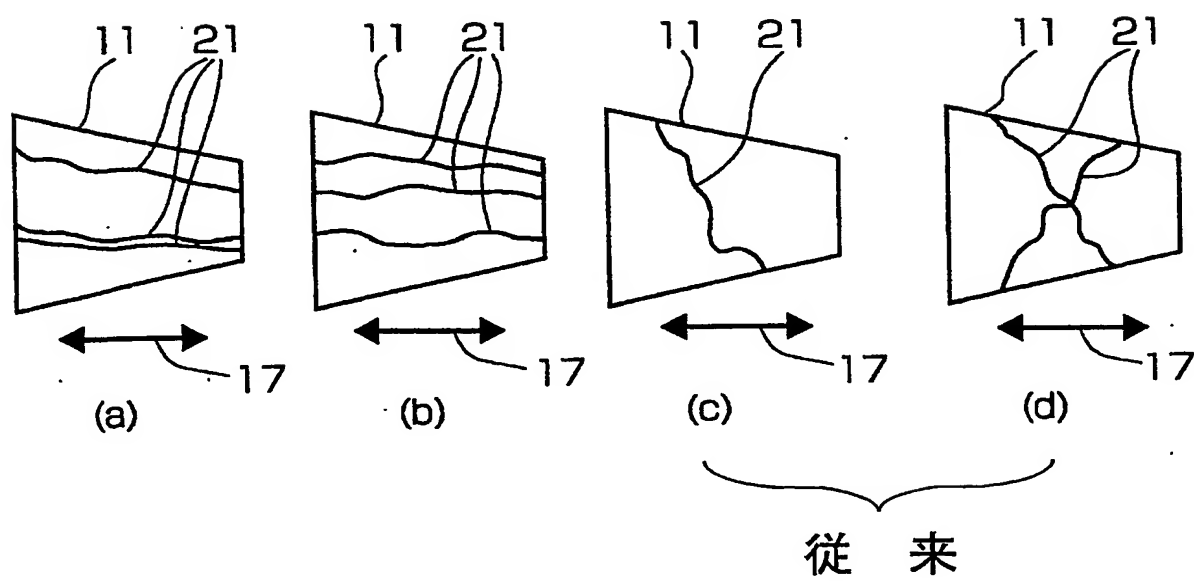


図 6

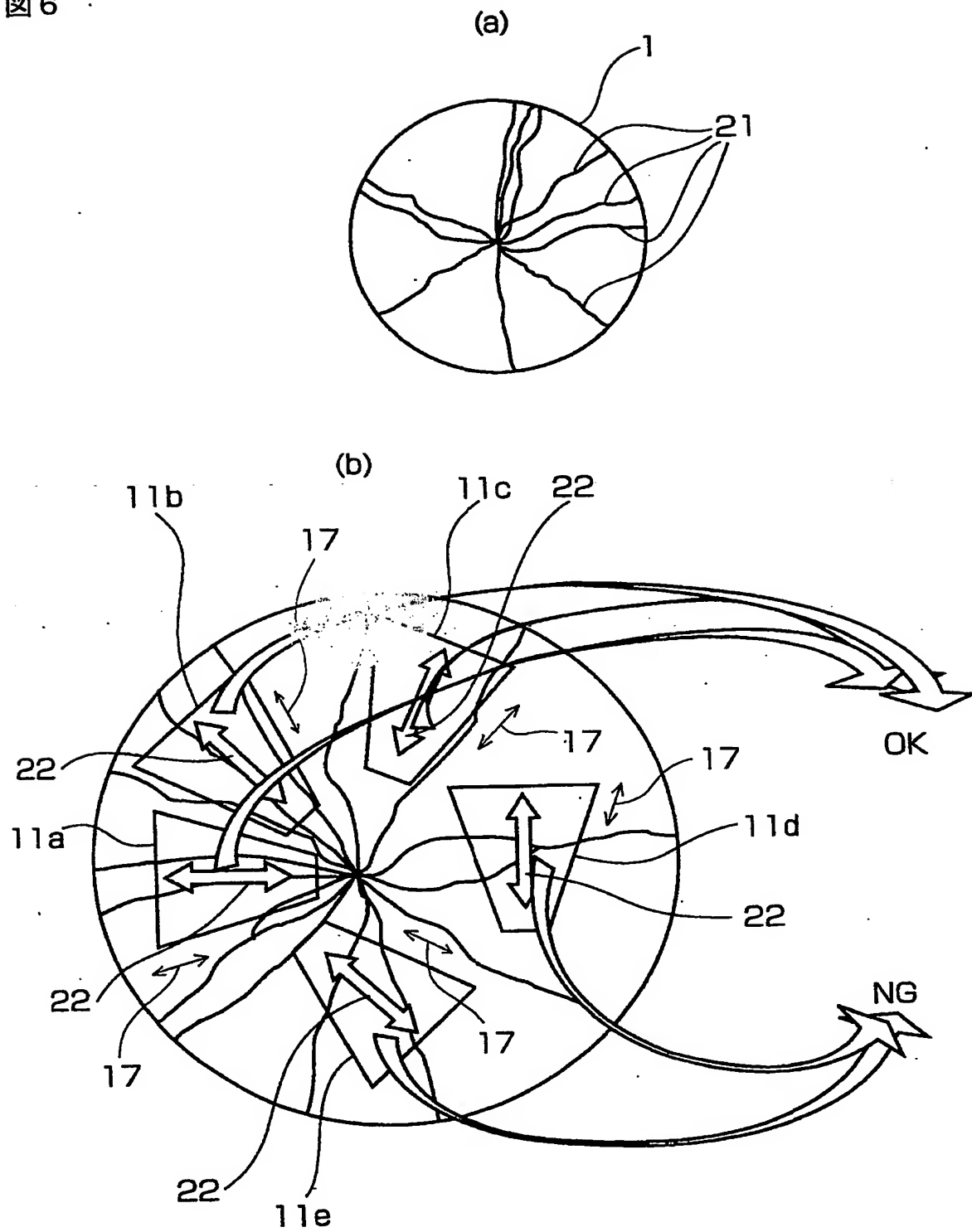


図 7

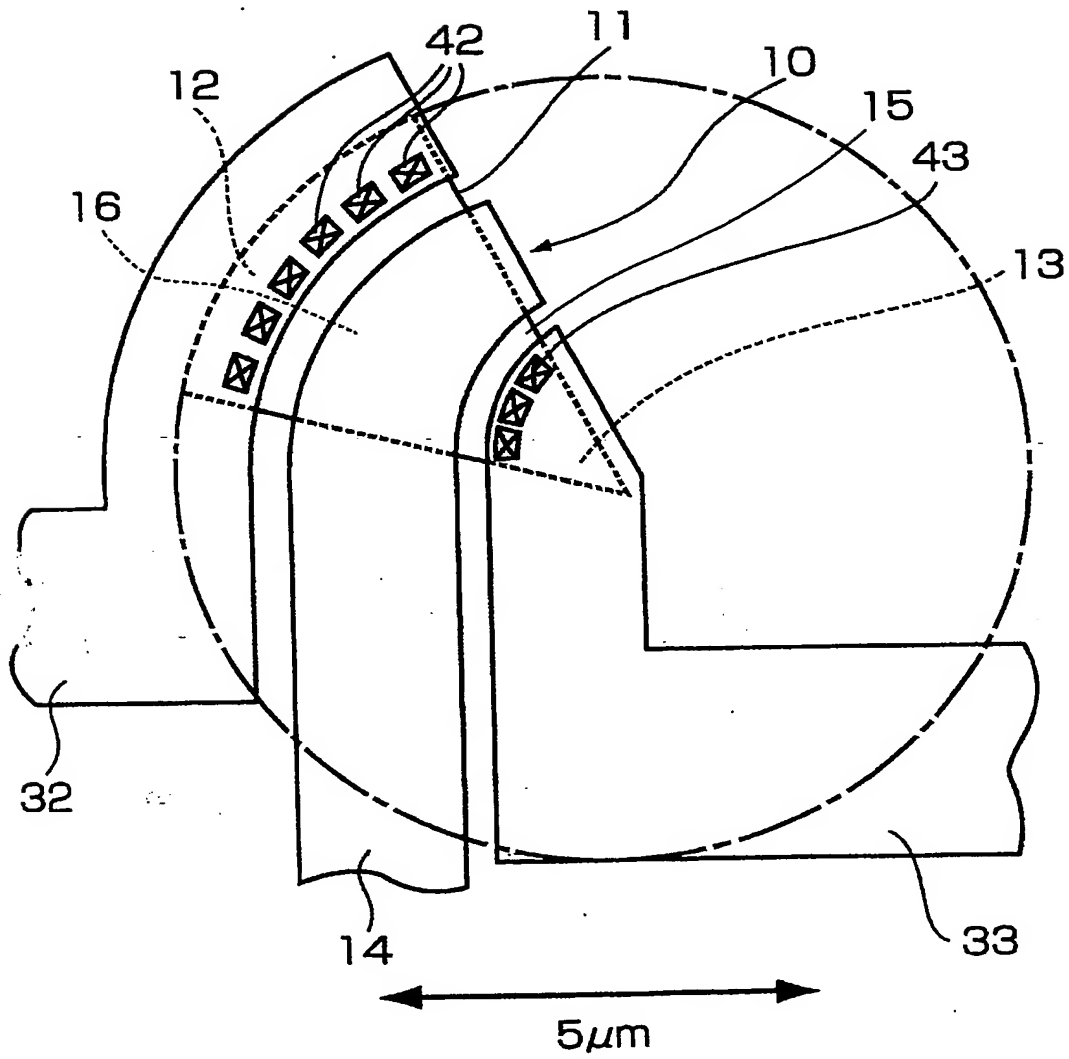


図 8

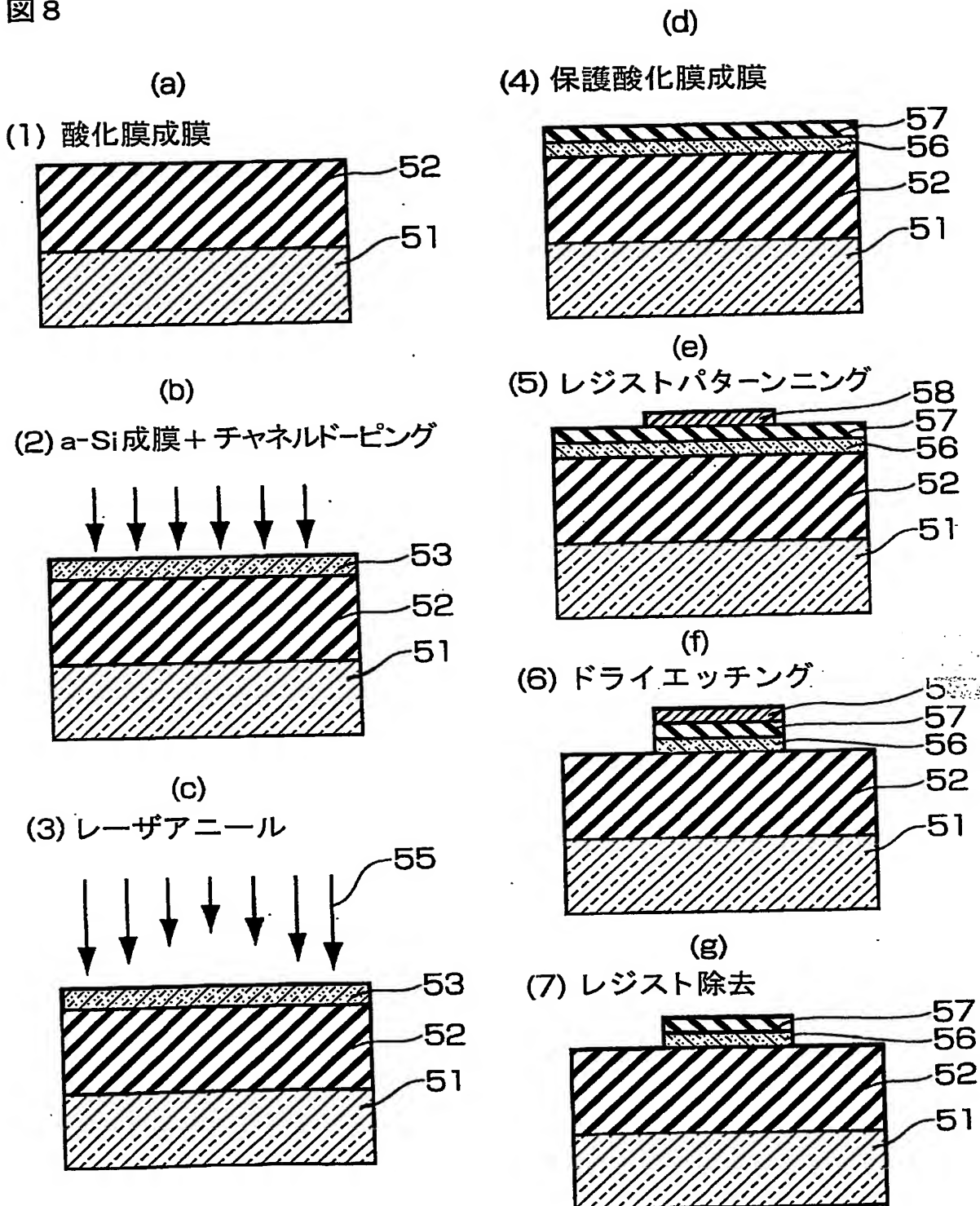


図 9

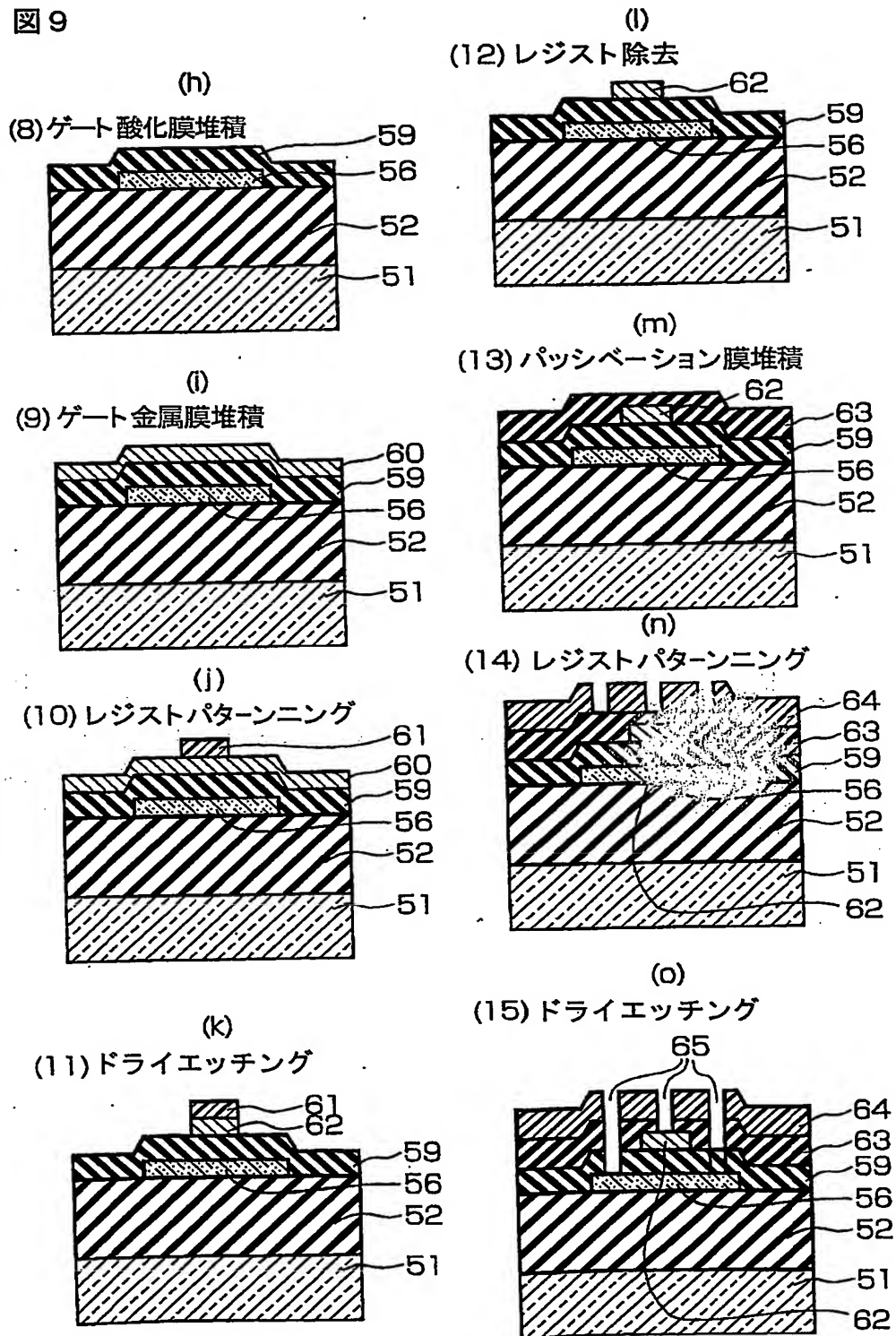
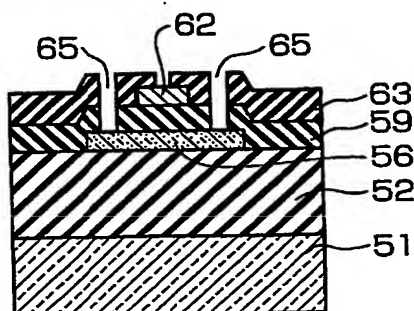
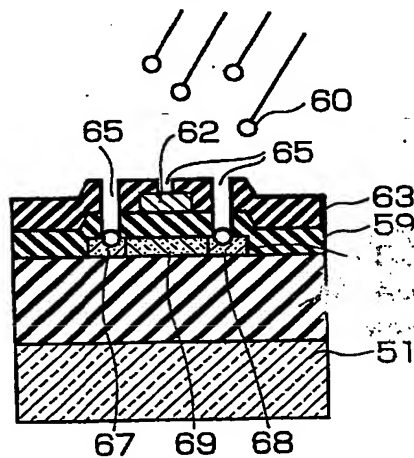


図 10

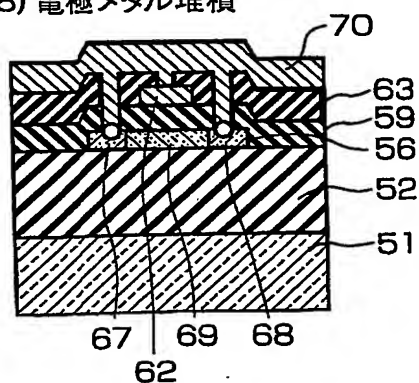
(p)
(16)レジスト除去



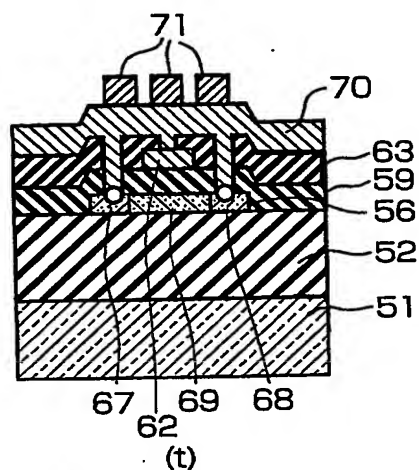
(q)
(17)イオンドーピング+活性化アニール



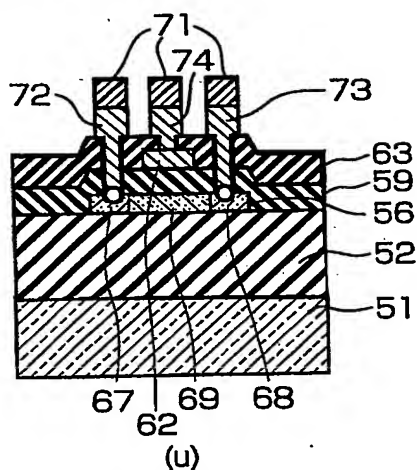
(r)
(18)電極メタル堆積



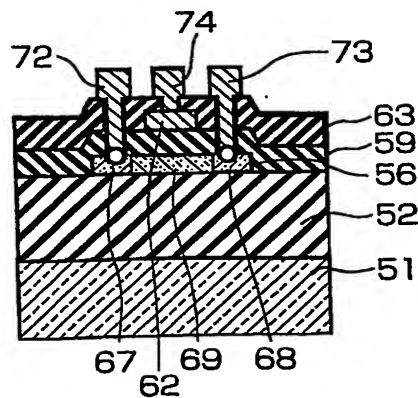
(s)
(19)レジストパターンニング



(t)
(20)ドライエッチング



(u)
(21)レジスト除去



BEST AVAILABLE COPY

図 1 1

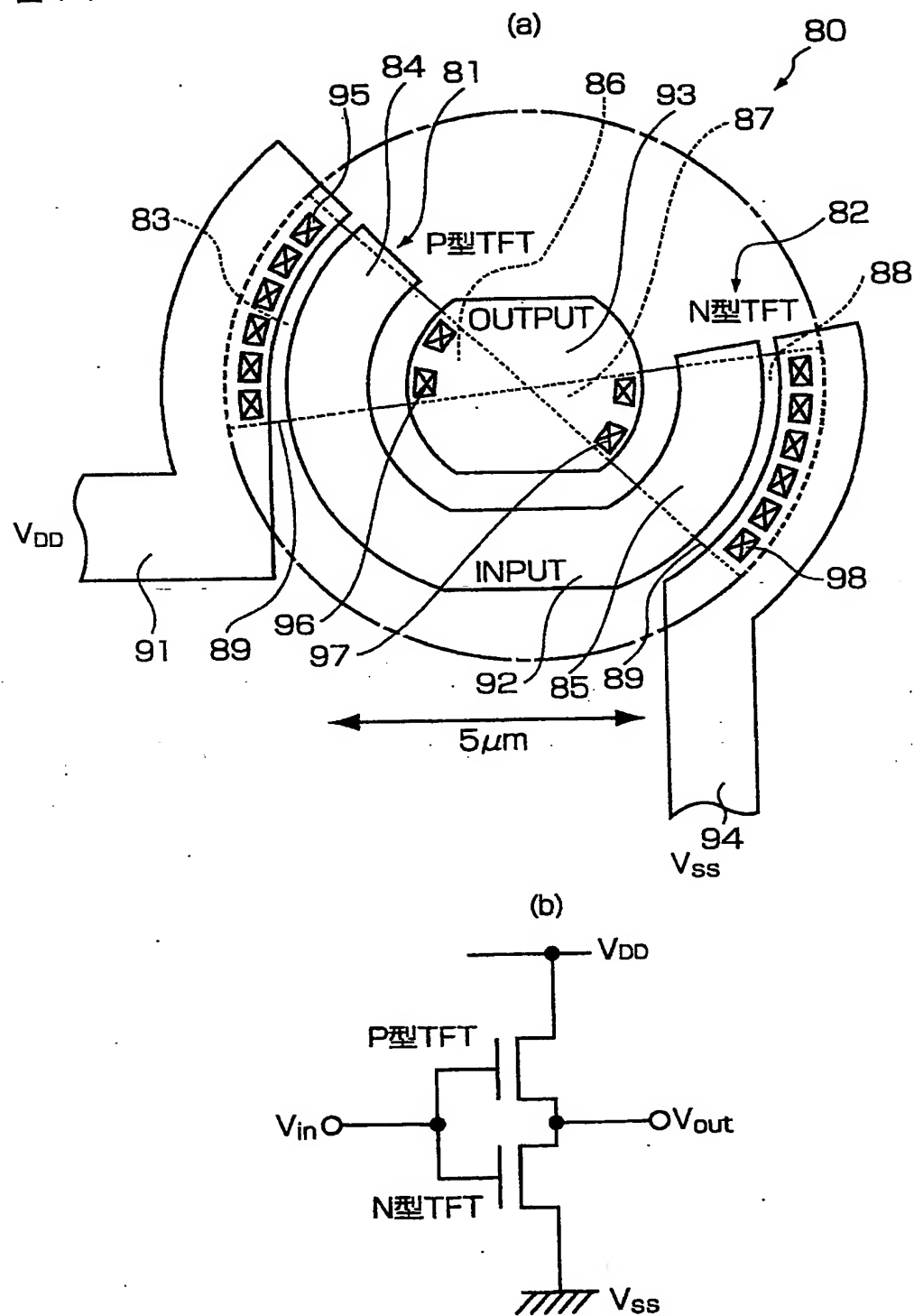
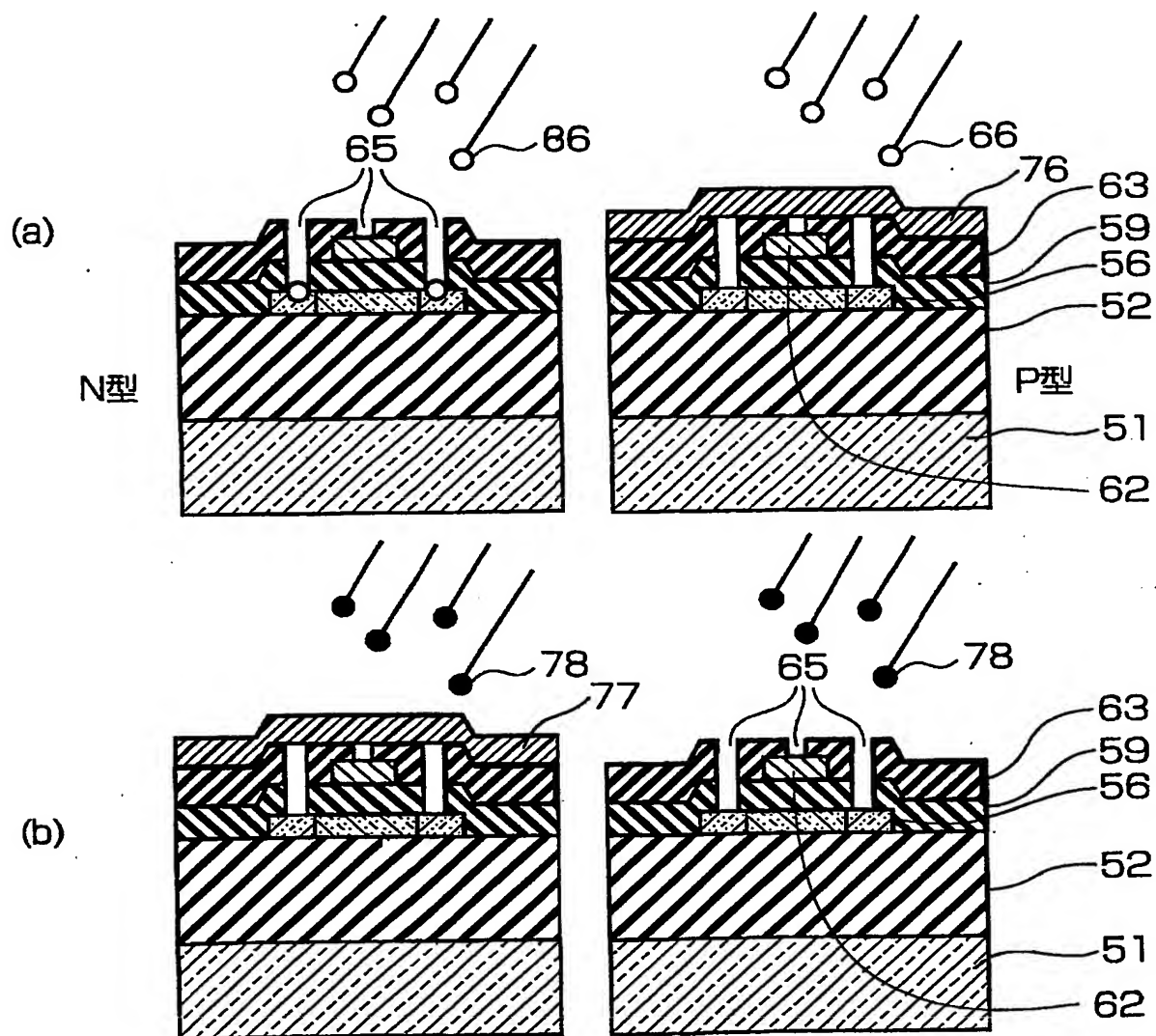


図 1 2

(17) イオンドーピング+活性化アニール



BEST AVAILABLE COPY

図 13

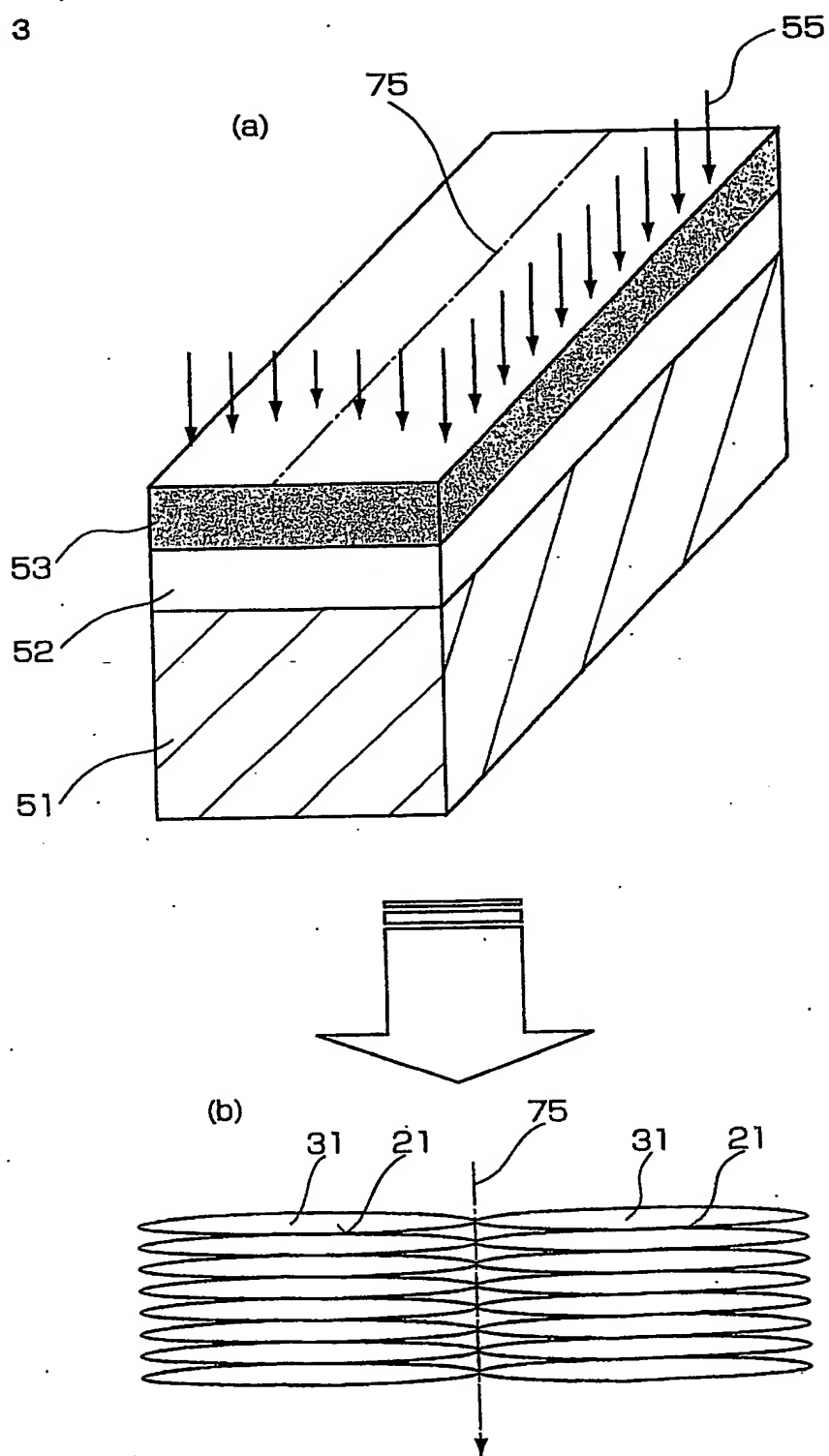


图 14

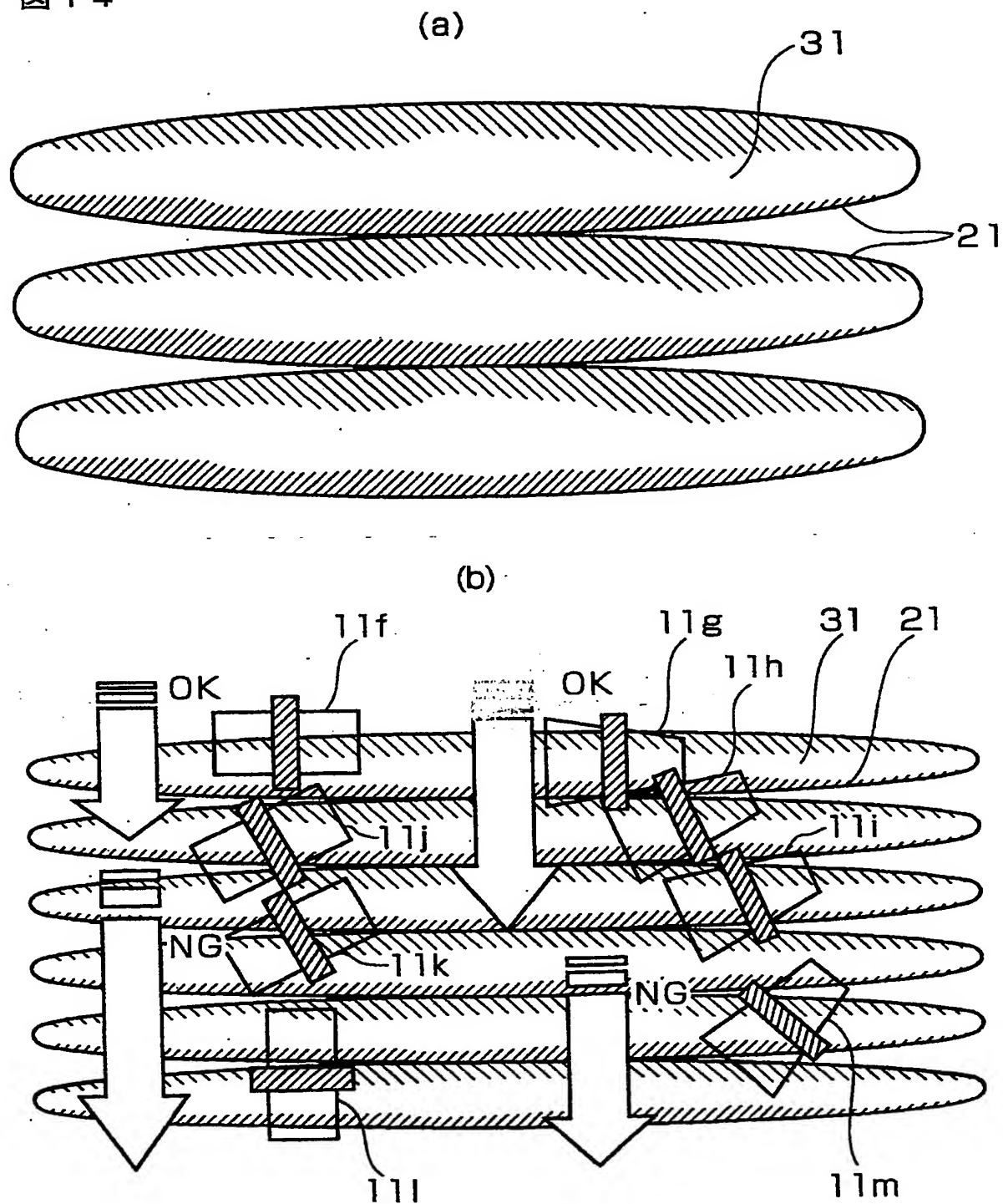
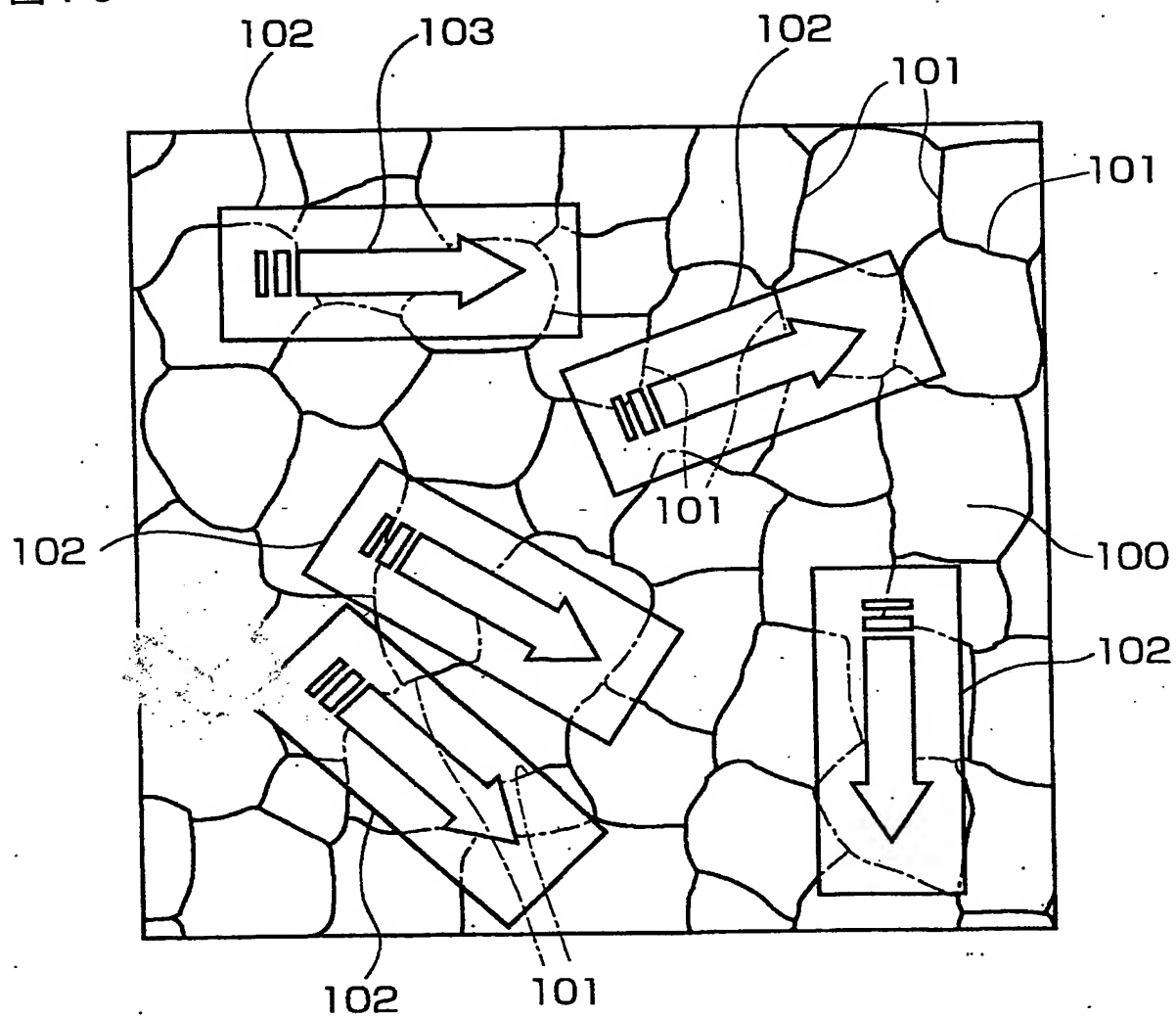


图 15



BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/02511

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L29/786, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-48095 A (Canon Inc.), 26 February, 1993 (26.02.93), Full text; Fig. 4 (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
16 May, 2003 (16.05.03)

Date of mailing of the international search report
03 June, 2003 (03.06.03).

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/786, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 5-48095 A(キャノン株式会社)1993.02.26, 全文, 図4(ファミリーなし)	1-14

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

16.05.03

国際調査報告の発送日

03.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 綿引 隆

4M

2934

電話番号 03-3581-1101 内線 3460